Motionnet®
RemoteI/O & RemoteMotion

小型センターボード
ＬＦＭＮ１取扱説明書

株式会社　エル･アンド･エフ

改訂履歴

日　付	訂正者	ページ	内　　容
2010/12/24			初版作成
2012/05/23	山上	17	10.LF64 で使用する場合　10-3)項の記載追加

【 目 次 】

1. はじめに 3
1-1) 梱包内容 3
1-2) 製品保障 3
1-3) 注意事項 4
1-4) 凡例 5
1-5) 参考文献 5
1-6) 参考 URL 5
2. 製品概要 6
3. 特徴 6
4. 電気的特性 7
4-1) 最大定格 7
4-2) 推奨動作条件 7
4-3) 一般仕様 7
5. 構成 8
6. コネクタ仕様 9
6-1) CPU I/F コネクタ(P2,P3) 9
6-2) 通信 I/F コネクタ(CN1) 10
6-3) 通信 IC 用電源コネクタ(CN2) 10
7. 設定仕様 11
7-1) 伝送スピードの設定(S1 bit1,2) 11
7-2) インターフェースの設定(S1 bit3,4／HJ2,3) 11
8. アドレスマップ 12
8-1) I/F モード 4(8bit アクセス時) 12
8-2) I/F モード 3(16bit アクセス時 8086 設定) 14
8-3) I/F モード 1,2(16bit アクセス時 H8,68000 設定) 15
9. 基板外形･配置 16
10. LF64 で使用する場合 17
10-1) LF64 ジャンパの設定 17
10-2) LF64 からのアドレスマップ 17
10-3) 供給電源(+5V)の接続 17

【 表 】

表 1 絶対最大定格 7
表 2 推奨動作条件 7
表 3 一般仕様 7
表 4 LFMN1 のP2／P3ピンアサイン 9
表 5 CN1 のピンアサイン 10
表 6 CN2 のピンアサイン 10
表 7 伝送スピード設定.....11
表 8 インターフェース設定 11
表 9 I/F モード4時のアドレスマップ 12
表 10 I/F モード3時のアドレスマップ 14
表 11 I/F モード1,2時のアドレスマップ 15
表 12 LF64 に搭載して使用する際の LF64 基板上のジャンパ設定表 17
表 13 LF64 で使用時のアドレスマップ(I/F モード3時) 18

【 図 】

図 1 LFMN1 ブロック図 8
図 2 基板外形･配置図 16
図 3 LF64 ボード 供給電源(＋5V)の接続図 (半田面視).....17
図 4 LF64 のジャンパ位置図(半田面視) 19

1. はじめに

このたびは LFMN1 をお買い上げいただき誠にありがとうございます。
本製品を正しくご使用いただくために、本マニュアル、及び、1－5）参考文献のマニュアルを充分お読みいただけますようお願い致します。

1-1) 梱包内容

基本梱包は下記の通りとなりますので、内容をご確認いただき、万が一不足しておりました場合は、お買い求め販売店、または、弊社サポートまでご連絡下さい。

- LFMN1 ボード×1 枚
- P1/P2 ピンヘッダ×2 個
- マニュアル／回路図／データシートを収録したＣＤＲ×1 枚

1-2) 製品保障

- 無償修理

  製品ご購入後 1 年間は、下記「有償修理」の場合を除き無償で修理致します。（弊社に製品をご返送いただいての修理･交換対応となります。（無償修理を除き、弊社にご送付いただく送料はお客様負担とさせていただきます））

  また、保証は製品が日本国内で使用される場合に限り有効とさせていただきます。

- 有償修理

  1）製品が購入後 1 年以上経過しているもの。

  2）仕様範囲外でのご使用、物理的／電気的ストレスを加えた等、お客様のお取扱に起因する故障。

  3）お客様にて製品を改造したための故障。

  4）火災、地震、水害等の天災による故障。

- 動作を保証できない項目

  1）他社製品との接続互換性、相性による不具合。

  2）本製品を仕様範囲外の環境でご使用された場合の不具合。

  3）お客様にて製品を改造したための不具合。

- 免責事項

  当製品の故障、不具合、誤動作によって生じた損害等の純粋経済損失につきまして、弊社は一切その責任を負いません。

1-3) 注意事項

- 本製品及び本書の内容については、改良のために予告なく変更することがあります。
- 本製品に添付されるデバイスマニュアル等は、最新でない場合があります。
- 本製品を使用した結果の他への影響については、責任は負いかねますのでご了承下さい。
- 本製品、または、本製品を使用した機器を海外に持ち出される場合は、輸出許可が必要です。
- 本書に記載されている内容、及び、回路図の著作権は㈱エル･アンド･エフが保有しており、それらを無断で転用、転載、掲載、譲渡、配布することは禁止します。
- 本文書に記載した内容は、慎重に製作致しましたが、万一、本マニュアルの記述誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。

★ 本製品には一般電子機器用（OA機器･通信機器･計測機器･工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体･財産等に危害を及ぼす恐れのある装置（医療機器･交通機器･燃焼制御･安全装置等）に組み込んで使用しないで下さい。
また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命･身体･財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い致します。

★ 温度環境は、本マニュアル4．項に記載された範囲以内でご使用下さい。

★ 腐食性ガス、可燃ガスの雰囲気中、または、高湿度環境、水に濡れる恐れのある場所でのご使用はお止め下さい。

★ 基板を金属板等導電性物質の上に直接置いた状態での通電はお止め下さい。

★ 電源、および、信号入出力部に定格以上の電圧、または、ノイズを印加しないで下さい。

★ 本ボード、並びに周辺回路に電源が入っている状態で、コネクタ／本ボードの抜き差し、及び、スイッチの設定変更は行わないで下さい。

- **本製品は、本マニュアルに記載されている「製品保証」、「免責事項」をご確認いただいたき、その内容をご諒承の上ご使用下さい。**

1-4) 凡例

- 不定数値の表記は、x で表します。
- 数字の表記

  2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx で表します。
- 記号の表記

  ローアクティブの信号には先頭に n を付けています。
- 入出力方向は LFMN1 側から見た方向を示します。
- 入出力記号はI＝入力、O＝出力、I/O＝入力、P＝電源を示します。
- デバイスロケーション番号後の(xx)は、端子番号を示します。

1-5) 参考文献

本マニュアルの内容を補完する参考文献を以下に示します。

- Motionnetインターフェース回路設計時のガイドライン_Ver200
  (日本パルスモータ株式会社殿発行)
- G9001A／G9002 ユーザーズマニュアル(日本パルスモータ株式会社殿発行)
- Motionnet にできること(日本パルスモータ株式会社殿発行)
- LF64 ユーザーズマニュアル(弊社発行)

※ Motionnet は、日本パルスモーター株式会社の登録商標です。

1-6) 参考 URL

- 日本パルスモータ株式会社　　http://www.pulsemotor.com/index.php

2. 製品概要

LFMN1 は、日本パルスモータ社製Motionnet センターデバイス(G9001A)及び、その周辺回路を搭載した、小型ユニバーサル基板で、CPU 基板とコネクタ接続をするだけで、日本パルスモータ社製 3 種類のシリアル通信 LSI（I/O 用ローカルデバイス、パルスコントロール用ローカルデバイス、CPU エミュレーション用ローカルデバイス）を最大 64 個、通信速度 20Mbps（max）のシリアル通信により、FA 分野に求められている入出力制御が、リモート操作できます。（モータ制御、CPU エミュレーション、メッセージ通信）入出力制御を行うサイクリック通信では、4byte のデータ転送を 15.1μsec(max) で常に行い、その間にモータ制御・LSI 制御データなど、256byte(max) のデータを割り込ませて通信できます。）

通信時間は、あらかじめ決められた計算式によって計算可能となっており、FA 分野で必要とされるリアルタイム性を保証しています。

また、弊社 CPU 基板（LF64）に搭載することにより、USB、Ethernet 経由での制御も可能です。

※Motionnetとは

Motionnetは、日本パルスモータ株式会社殿が提唱する超高速シリアル通信システムです。

このシリアル通信システムは、日本パルスモータ株式会社殿が独自に開発した4種類のデバイス：G9001、G9002、G9003、G9004をコアにして、伝送速度20Mbpsのシリアル通信により入出力制御はもちろんのこと、Motion制御、高速性を生かしたCPUエミュレーション・CPUメッセージ通信までもが行えるトータル省配線システムです。

3. 特徴

- 伝送速度：最大 20Mbps
- 伝送周期：サイクリック通信 64 台接続時、最大 0.97msec（伝送速度 20Mbps の場合）
- 接続台数：最大 64 台
- シリアル通信種類：システム通信、サイクリック通信、データ通信の 3 種類

4. 電気的特性

4-1) 最大定格

表 1 絶対最大定格

項　　目	シンボル	定 格 値	単位
電源電圧(メイン)	VCC	-0.3～+4.0	V
電源電圧(RS485)	+5V	-0.5～+7.0	V
入力電圧	V_{IN}	-0.3～VCC＋0.5	V
入力電圧 (5V/I/F)	V_{IN}	-0.3～+7.0	V
保存温度	Tstg	-25～+60	℃

絶対最大定格を一瞬でも越えた場合、基板上デバイスが永久破壊される場合がありますのでご注意下さい。

4-2) 推奨動作条件

表 2 推奨動作条件

項　　目	シンボル	定 格 値	単位
電源電圧(メイン)	VCC	+3.3±10%	V
電源電圧(RS485)	+5V	+5±10%	V
入力電圧	V_{IN}	0～VCC	V
入力電圧 (5V/I/F)	V_{IN}	0～+5.5	V
動作温度	Tstg	-10～+55	℃

4-3) 一般仕様

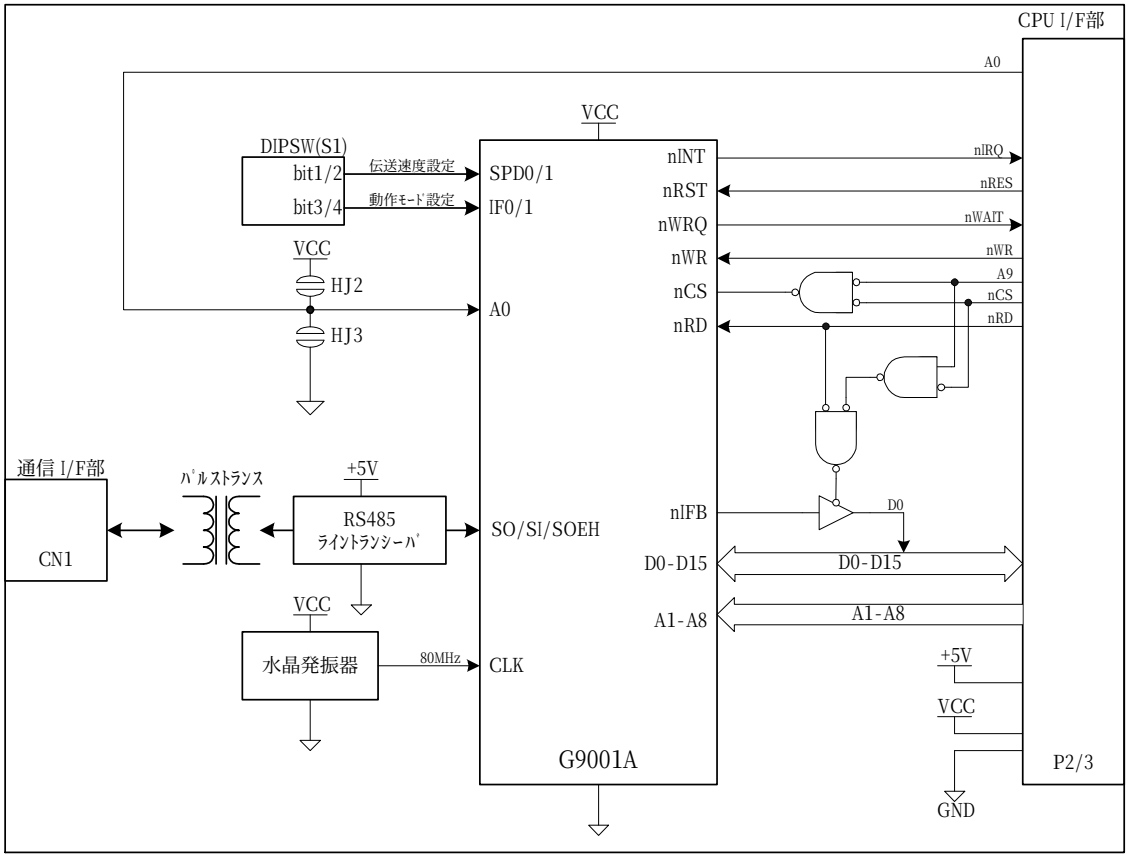
表 3 一般仕様

項　　目	内　　容
消費電流	80mA (MAX)
外形寸法	56.34mm(D)×26.0mm(W)×9mm(H) (P2,P3 未接続状態)
質量	約 88g (P2,P3 実装時)

5. 構成

ブロック図を以下に示します。

図 1 LFMN1 ブロック図



6. コネクタ仕様

6-1) CPU I/F コネクタ(P2,P3)

P2/P3 は、LFMN1 を制御する CPU とのインターフェースコネクタで、2.54mm ピッチ 2 列 24 ピンのコネクタが実装可能です。

（コネクタは出荷時実装されておりません（ピンヘッダは付属）ので、お客様の仕様に合わせた形で実装して下さい。）

表 4 LFMN1 のP2／P3ピンアサイン

実装ピンヘッダ：450-10-224-00-001101（プレシ DIP）または同等品
適合ソケット：410-83-224-41-001101（プレシ DIP）または同等品

P2							
端子番号	信号名	I/O	端子名	端子番号	信号名	I/O	端子名
1	-	-	N.C	2	-		N.C
3	-	-	N.C	4	-		N.C
5	-	-	N.C	6	-		N.C
7	-	-	N.C	8	A9	I	A9
9	-	-	N.C	10	-		N.C
11	nWR	I	nWR	12	nRES	I	nRESET
13	nINT	O	nINT	14	VCC	P	VCC
15	nWAIT	O	nWAIT	16	+5V	P	N.C
17	-	-	N.C	18	A8	I	A7
19	A7	I	A7	20	A6	I	A5
21	A5	I	A5	22	A4	I	A3
23	A3	I	A3	24	A2	I	A2
P3							
端子番号	信号名	I/O	端子名	端子番号	信号名	I/O	端子名
1	-	-	N.C	2	A0/nLDS	I	A0(HJ2,3 が開放の時)
3	GND	P	Vss	4	D15	I/O	D15
5	D7	I/O	DQ7	6	D14	I/O	D14
7	D6	I/O	DQ6	8	D13	I/O	D13
9	D5	I/O	DQ5	10	D12	I/O	D12
11	D4	I/O	DQ4	12	VCC	P	VCC
13	D11	I/O	DQ11	14	D3	I/O	D3
15	D10	I/O	DQ10	16	D2	I/O	D2
17	D9	I/O	DQ9	18	D1	I/O	D1
19	D8	I/O	DQ8	20	D0	I/O	D0
21	nRD	O	nRD	22	GND	P	Vss
23	nCS0	O	nCS	24	A1	O	A1

6-2) 通信 I/F コネクタ (CN1)

CN1 はMotionnetシリアル信号ラインを接続します。

表 5 CN1 のピンアサイン

実装コネクタ:DF1B-3P-2.5DS(01) (ヒロセ)
適合ソケット:DF1B-3S-2.5R(01)　　※専用ケーブルが日本パルスモーター社
適合コンタクト:DF1B-R28×3 個 (ヒロセ)　　より販売されています。

端子番号	信号名	I/O	端子名
1	DATA A(-)	I/O	DATA A
2	DATA B(+)	I/O	DATA B
3	※	-	※

※ 出荷時はどこにも接続されていません。HJ1 を半田ジャンパすると近接するビス穴の非レジスト部分に接続されます。

6-3) 通信 IC 用電源コネクタ (CN2)

CN2 はMotionnetシリアル通信 IC 用電源(+5VDC)を接続します。
尚　シリアル通信 IC 用電源は、P2(16)よりも給電が可能ですので、P2(16)より給電する場合は、本コネクタに電源は接続しないで下さい。

表 6 CN2 のピンアサイン

適合コネクタ:IL-G-2P-S3T2-SA (JAE)
勘合ソケット:IL-G-2S-S3C2-SA ＋ IL-C2-SC-0001×6 個 (JAE)
適合コンタクト:IL-C2-SC-0001×2 個 (JAE)

端子番号	信号名	I/O	内容
1	+5VDC	P	RS485 ドライバ IC 電源
2	GND	P	システム GND

7. 設定仕様

LFMN1 には、「伝送スピード(4 種類)」と「インターフェース (4 種類) 」の選択を行う DIPSW(S1)が設けられており、P2/P3 に接続される CPU の種類、伝送速度を柔軟に選択することができます。

7-1) 伝送スピードの設定 (S1 bit1,2)

S1 の bit1,及び 2 は、Motionnetシリアル信号ラインの「伝送スピード」を設定します。
表 6 に設定仕様を示します。

表 7 伝送スピード設定

伝送スピード	DIPSW [S1]	
	BIT[1]	BIT[2]
20Mbps※	OFF	OFF
10Mbps	ON	OFF
5Mbps	OFF	ON
2.5Mbps	ON	ON

※ 出荷時設定

7-2) インターフェースの設定 (S1 bit3,4／HJ2,3)

S1 の bit3,4 は、Motionnetセンターデバイスを制御する CPU の種類、HJ2,3 は G9001A の A0 端子に接続する信号を設定します。
表 7 に各モードでの設定仕様を示します。

表 8 インターフェース設定

インターフェース	DIPSW [S1]		HJ		P3
	BIT[3]	BIT[4]	2	3	2 番ピン
I/F モード 1(68000)	ON	ON	開放	開放	LSD
I/F モード 2(H8)	OFF	ON	短絡	開放	未接続
I/F モード 3(8086)※	ON	OFF	開放	短絡	未接続
I/F モード 4(Z80)	OFF	OFF	開放	開放	A0

インターフェース種類の詳細は[G9001A]の取り扱い説明書を参照してください。

※ 出荷時設定、LF64 の J2/J3 に搭載する場合はこの設定で使用してください。

8. アドレスマップ

LFMN1 は、CPU ボード側の A0～A9 の領域を占有しますので、CPU ボードは A10 より上位のアドレスをデコードし、LFMN1 の nCS 信号を生成する必要があります。
尚　各アドレス内の詳細内容は、センターデバイス(G9001A)ユーザーズマニュアルをご参照下さい。

8-1) I/F モード 4 (8bit アクセス時)

表 9 I/F モード 4 時のアドレスマップ

アドレス	ライト	リード
H'000	ｺﾏﾝﾄﾞﾋﾞｯﾄ 0-7*1	ｽﾃｰﾀｽﾋﾞｯﾄ 0-7
H'001	ｺﾏﾝﾄﾞﾋﾞｯﾄ 8-15*1	ｽﾃｰﾀｽﾋﾞｯﾄ 8-15
H'002	無効	割込みｽﾃｰﾀｽﾋﾞｯﾄ 0-7
H'003	無効	割込みｽﾃｰﾀｽﾋﾞｯﾄ 8-15
H'004	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-7	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-7
H'005	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 8-15	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 8-15
H'006	ﾃﾞｰﾀ送信 FIFO ﾋﾞｯﾄ 0-7*1	ﾃﾞｰﾀ受信 FIFO ﾋﾞｯﾄ 0-7*2
H'007	ﾃﾞｰﾀ送信 FIFO ﾋﾞｯﾄ 8-15*1	ﾃﾞｰﾀ受信 FIFO ﾋﾞｯﾄ 8-15*2
H'008-077	未定義	未定義
H'078	ﾃﾞﾊﾞｲｽ No.0 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.0 ﾃﾞﾊﾞｲｽ情報
｜	｜	｜
H'0B7	ﾃﾞﾊﾞｲｽ No.63 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.63 ﾃﾞﾊﾞｲｽ情報
H'0B8	ﾃﾞﾊﾞｲｽ No.0-7 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.0-7 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
｜	｜	｜
H'0BF	ﾃﾞﾊﾞｲｽ No.56-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.56-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
H'0C0	ﾃﾞﾊﾞｲｽ No.0,1 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.0,1 入力変化割込み設定
｜	｜	｜
H'0DF	ﾃﾞﾊﾞｲｽ No.62,63 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.62,63 入力変化割込み設定
H'0E0	ﾃﾞﾊﾞｲｽ No..0,1 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No..0,1 入力変化割込みﾌﾗｸﾞ
｜	｜	｜
H'0FF	ﾃﾞﾊﾞｲｽ No.62,63 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.62,63 入力変化割込みﾌﾗｸﾞ
H'100	ﾎﾟｰﾄﾃﾞｰﾀ No.0 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 0 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.0 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 0 ﾃﾞｰﾀ
H'101	ﾎﾟｰﾄﾃﾞｰﾀ No1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 1 ﾃﾞｰﾀ
H'102	ﾎﾟｰﾄﾃﾞｰﾀ No.2 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.0 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2 ﾃﾞｰﾀ
H'103	ﾎﾟｰﾄﾃﾞｰﾀ No3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 3 ﾃﾞｰﾀ
｜	｜	｜

（続く）

（続き）

アドレス	ライト	リード
｜	｜	｜
H’1FC	ﾎﾟｰﾄﾃﾞｰﾀ No.252 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.252 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0 ﾃﾞｰﾀ
H’1FD	ﾎﾟｰﾄﾃﾞｰﾀ No253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 1 ﾃﾞｰﾀ
H’1FE	ﾎﾟｰﾄﾃﾞｰﾀ No.254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2 ﾃﾞｰﾀ
H’1FF	ﾎﾟｰﾄﾃﾞｰﾀ No255 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.255 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 3 ﾃﾞｰﾀ
H’200	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)
｜	｜（ミラー）	｜（ミラー）
H’3FF	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)

＊1　下位、上位の順にライトしてください。
＊2　下位、上位の順にリードしてください。

8-2) I/F モード 3 (16bit アクセス時 8086 設定)

表 10 I/F モード 3 時のアドレスマップ

アドレス	ライト	リード
H'000	ｺﾏﾝﾄﾞﾋﾞｯﾄ 0-15	ｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H'002	無効	割込みｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H'004	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15
H'006	ﾃﾞｰﾀ送信 FIFO ﾋﾞｯﾄ 0-15	ﾃﾞｰﾀ受信 FIFO ﾋﾞｯﾄ 0-15
H'008-076	未定義	未定義
H'078	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報
｜	｜	｜
H'0B6	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報
H'0B8	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
｜	｜	｜
H'0BE	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
H'0C0	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定
｜	｜	｜
H'0DF	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定
H'0E0	ﾃﾞﾊﾞｲｽ No..0-3 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No..0-.3 入力変化割込みﾌﾗｸﾞ
｜	｜	｜
H'0FE	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ
H'100	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0,1 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H'102	ﾎﾟｰﾄﾃﾞｰﾀ No2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
｜	｜	｜
H'1FC	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H'1FE	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
H'200	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)
｜	｜ (ミラー)	｜ (ミラー)
H'3FE	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)

8-3) I/F モード 1,2 (16bit アクセス時 H8,68000 設定)

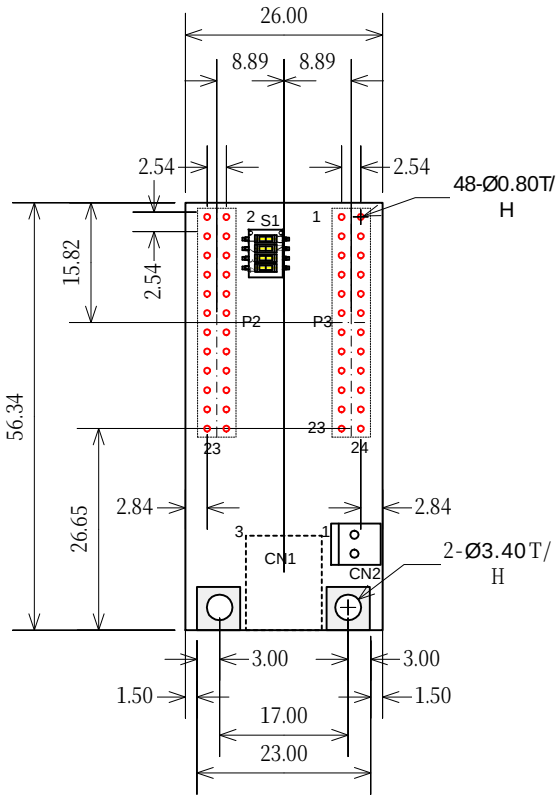
表 11 I/F モード 1,2 時のアドレスマップ

アドレス	ライト	リード
H'1FE	ｺﾏﾝﾄﾞﾋﾞｯﾄ 0-15	ｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H'1FC	無効	割込みｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H'1FA	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15
H'1F8	ﾃﾞｰﾀ送信 FIFO ﾋﾞｯﾄ 0-15	ﾃﾞｰﾀ受信 FIFO ﾋﾞｯﾄ 0-15
H'1F6-188	未定義	未定義
H'186	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報
｜	｜	｜
H'148	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報
H'146	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
｜	｜	｜
H'140	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
H'13E	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定
｜	｜	｜
H'120	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定
H'11E	ﾃﾞﾊﾞｲｽ No..0-3 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No..0-.3 入力変化割込みﾌﾗｸﾞ
｜	｜	｜
H'100	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ
H'0FE	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0,1 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H'0FC	ﾎﾟｰﾄﾃﾞｰﾀ No2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
｜	｜	｜
H'002	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H'000	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
H'200	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)
｜	｜ (ミラー)	｜ (ミラー)
H'3FE	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)

9. 基板外形･配置

図 2 に LFMN1 の基板外形･配置図を示します。

図 2 基板外形･配置図



10. LF64 で使用する場合

10-1) LF64 ジャンパの設定

LFMN1 を LF64 に搭載して使用する場合、LF64 の半田ジャンパ（HJ）、抵抗ジャンパ(RJ)、抵抗(R)を LFMN1 用に設定する必要が有ります。
下表は LFMN1 を「I/F モード3」で使用する場合の LF64 の設定です。

表 12 LF64 に搭載して使用する際の LF64 基板上のジャンパ設定表

HJ		RJ/R		設　定　内　容（LF64 から見た）
番号	設定	番号	設定	
10	短絡	RJ5	未実装	J2(11)に MCU の RD/nWR を接続
16	開放			
11	開放	―	―	LFMN1 のnWAIT 出力ですが使用しません
18	開放	RJ6	実装	J2(12)に LF64 で生成した nRES を接続
19	開放	RJ7	実装	J2(14)に LF64 の VCC を接続
23	開放	RJ2	未実装	J2(16)は NC
17	開放	―	―	J2(13)に LF64 の IRQ5 を接続
25	短絡	―	―	
―	―	R14	未実装	J3(2)は NC

10-2) LF64 からのアドレスマップ

LFMN1 を LF64 に搭載して使用する場合、LFMN1 は、LF64 の CS0 領域にマッピングされます。（LF64 の動作モードは、「MCU 拡張モード 2」に設定する必要があります。）
また、LFMN1 の WAIT 端子は LF64 の WAIT 端子には接続されませんので、LF64 から LFMN1 に連続アクセスを行う場合、LF64 に実装されている MCU の内蔵バスステートコントローラ（BSC）の設定により同一アクセス空間への連続アクセス時間を G9001A 連続アクセス安全時間以上に延ばすか、アクセス毎に下表の WAIT ステータスビットを監視する必要があります。

10-3) 供給電源(+5V)の接続

LFMN1 を LF64 に搭載して使用する場合、LF64 の接続ソケット(J2)より電源供給を得るため、下図のとおりにリードジャンパー接続をする必要が有ります。

図 3 LF64 ボード 供給電源（＋5V）の接続図 （半田面視）

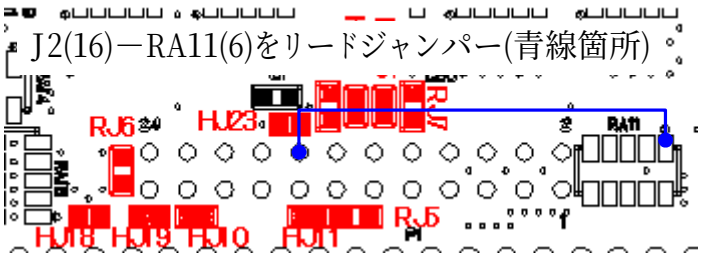
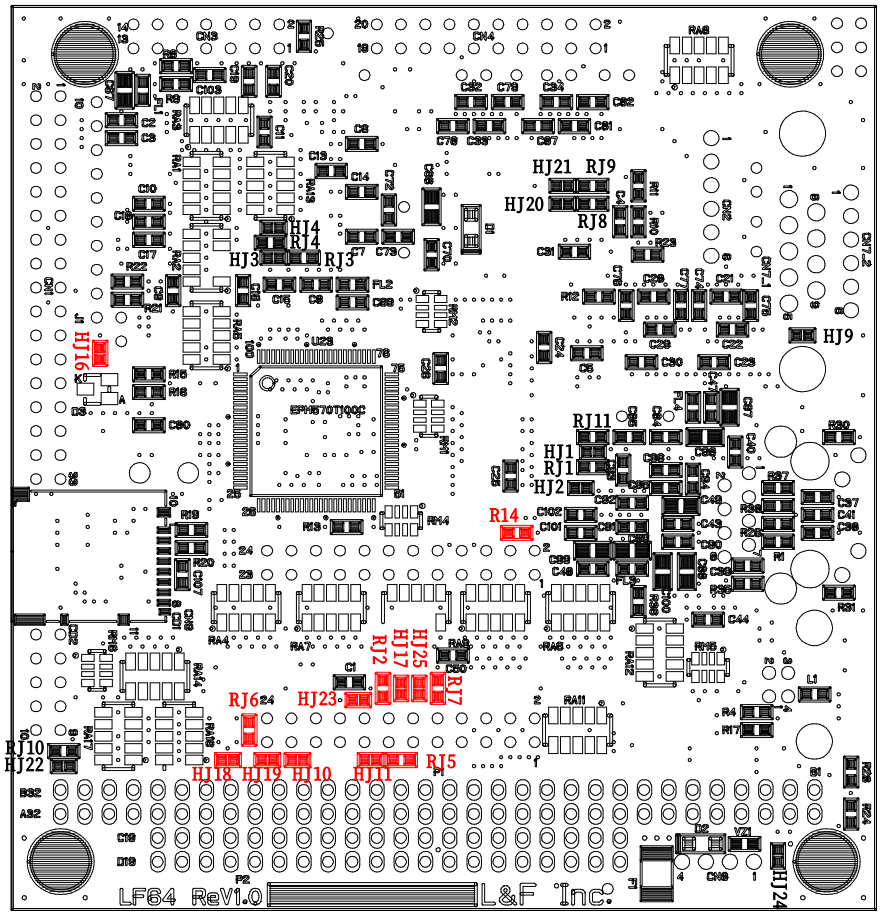


表 13 LF64 で使用時のアドレスマップ(I/F モード 3 時)

アドレス	ライト	リード
H’02000000	ｺﾏﾝﾄﾞﾋﾞｯﾄ 0-15	ｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H’02000002	無効	割込みｽﾃｰﾀｽﾋﾞｯﾄ 0-15
H’02000004	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15	入出力ﾊﾞｯﾌｧﾋﾞｯﾄ 0-15
H’ 02000006	ﾃﾞｰﾀ送信 FIFO ﾋﾞｯﾄ 0-15	ﾃﾞｰﾀ受信 FIFO ﾋﾞｯﾄ 0-15
H’ 02000008 -076	未定義	未定義
H’ 02000078	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.0,1 ﾃﾞﾊﾞｲｽ情報
｜	｜	｜
H’ 020000B6	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報	ﾃﾞﾊﾞｲｽ No.62,63 ﾃﾞﾊﾞｲｽ情報
H’ 020000B8	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.0-15 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
｜	｜	｜
H’ 020000BE	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.48-63 ｻｲｸﾘｯｸ通信ｴﾗｰﾌﾗｸﾞ
H’ 020000C0	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.0-3 入力変化割込み設定
｜	｜	｜
H’ 020000DF	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込み設定
H’ 020000E0	ﾃﾞﾊﾞｲｽ No..0-3 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No..0-.3 入力変化割込みﾌﾗｸﾞ
｜	｜	｜
H’ 020000FE	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ	ﾃﾞﾊﾞｲｽ No.60-63 入力変化割込みﾌﾗｸﾞ
H’ 02000100	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.0,1 ﾃﾞﾊﾞｲｽ No.0,1 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H’ 02000102	ﾎﾟｰﾄﾃﾞｰﾀ No2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.2,3 ﾃﾞﾊﾞｲｽ No.0 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
｜	｜	｜
H’ 020001FC	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.252,253 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 0,1 ﾃﾞｰﾀ
H’ 020001FE	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ	ﾎﾟｰﾄﾃﾞｰﾀ No.254,254 ﾃﾞﾊﾞｲｽ No.63 ﾎﾟｰﾄ 2,3 ﾃﾞｰﾀ
H’ 02000200	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)
｜	｜(ミラー)	｜(ミラー)
H’ 020003FE	無効	WAIT ｽﾃｰﾀｽ (bit0 が 0 で BUSY、1 で READY)

図 4 LF64 のジャンパ位置図 (半田面視)



株式会社　エル・アンド・エフ
Logic And Firm inc.
〒175-0083 東京都板橋区徳丸 4-2-9
TEL 03-5398-1116 / FAX 03-5398-1181
E-mail l-and-f@l-and-f.co.jp(代表)